

一种基于 DSP 的多核 SOC 中断扩展设计与实现

张跃玲, 张 磊, 汪 健, 王 镇, 余向阳, 陈亚宁

(中国兵器 214 研究所 苏州研究中心, 江苏 苏州 215163)

摘 要: 提出一种内嵌多个 DSP 的 SOC 系统, 并对 SOC 中的 DSP 的中断功能进行分析. 由于大规模 SOC 系统中的外设中断事件多, 而 DSP 定义的可利用的中断源有限, 因此需要借助 DSP 的内部中断控制器, 在片上 SOC 中对 DSP 中断进行扩展设计, 多核 SOC 系统中的多个 DSP 能够对不同外设引起的中断源进行合理、准确、有序的中断响应和处理. 对流片后的 SOC 系统的中断功能进行测试, 结果表明 SOC 中的多个 DSP 核能够快速、准确地响应外设中断请求, 所以这是一种有效的多核 SOC 系统的中断扩展及中断控制方法.

关键词: SOC 系统; DSP 中断; 中断扩展设计; 中断测试

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2016)08-0010-05

The Design and Implementation about One Expanded Interrupt Controller Based on the DSP in SOC Embedded Multi-core

ZHANG Yue-ling, ZHANG Lei, WANG Jian, WANG Zhen,

YU Xiang-yang, CHEN Ya-ning

(R & D Center in Suzhou, 214 Institute of China North Industries, Suzhou 215163, China)

Abstract: The paper propose one SOC system that embedded multi-DSP, and discusses the interrupt function about the DSP in SOC. Thanks to the peripheral interrupt event in SOC system more than the available interrupt source of the DSP in SOC. Then designs an expanded interrupt controller based on the DSP in SOC. The result displays that the expanded interrupt can process the interrupt request coming form the external service in SOC of multi-DSP. And test the interrupt function about the SOC chip, the result indicate that the multi-DSP in SOC can response the interrupt request coming form peripheral equipment fast and exactly. It is an effect interrupt extend and interrupt control method that can apply in SOC embedded multi-core.

Key words: SOC system; DSP interrupt; expanded interrupt design; interrupt test

1 引言

DSP 的中断是外设与内部 CPU 进行信息交换最常用的机制, 是 DSP 不可缺少的组成部分. 无论是软件中断处理程序还是硬件中断装置, DSP 中断一般分为三类: RESET(复位)中断、可屏蔽中断和不可屏蔽中断, 三类中断的优先级别各不相同. 随着大规模集成电路的发展和信息时代的推进, 具有大的计算量和高精度处理数据能力的大规模 SOC 成为主要发展方向, 内嵌多个处理器核的 SOC 系统常常采用多个微处理器来实现数据和信息的并行和快

速处理, 能够更快处理数据和实现外设与 CPU 中心的大数据量的交互. 而在多个微处理器核和 SOC 外设及 IP 模块之间进行高效快速的信息传递的同时, 需要有序和正确地处理各处理器核接收到的中断请求. 因此需要在多处理器核的 SOC 系统^[1]中进行外部中断扩展设计和中断管理控制.

2 SOC 系统

设计的多核 SOC 的系统结构简图如图 1 所示. 主要包含四个 DSP 微处理器核^[2-3], 还包括看门狗(WDT)、时钟管理、中断管理(INTC)、复位管理、

JTAG、外设接口 (MIF) 等,片上外设主要包括 CAN、UART、SPI 接口、脉冲宽度调制 (PWM)、事件捕获 (CPI)、GPIO 等模块,这些模块与 DSP 核之间通过 AXI 总线连接,进行数据通信.为了充分利用内部资源,实现最大的灵活性,可以通过配置 DSP 控制寄存器将不工作的 DSP 关闭休眠,节省功耗,实现芯片可以配置为 1~4 个 DSP 核工作的 SOC 系统.多核 SOC 中的 DSP 核采用的是和标准 TMS320C6713 指令及中断功能兼容的 DSP.其中外设 IP 模块产生的中断信号,都经过 SOC 片上的中断扩展管理模块 (INTC) 控制处理后,送至 SOC 中的 DSP 核^[4].

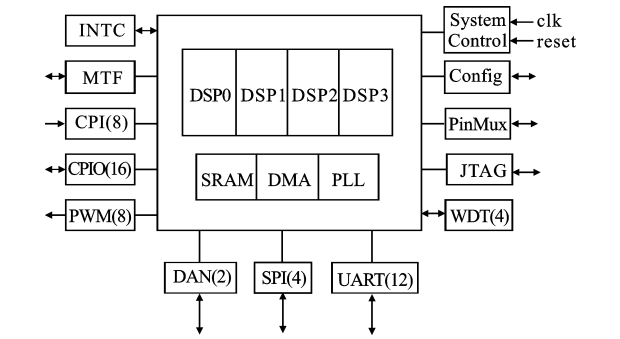


图 1 多核 SOC 系统结构简图

3 多 DSP 核 SOC 的中断扩展设计

多核 SOC 芯片的中断扩展设计是基于标准 DSP 核中断控制管理实现的. SOC 系统中采用和 TMS320C6713 指令^[5]及中断功能兼容的 DSP 核.其中断优先级顺序为复位中断优先级别最高,不可屏蔽中断为第二优先级,12 个可屏蔽中断为 INT4~INT15 优先级别依次降低.

3.1 SOC 中的 DSP 核中断

SOC 中的 4 个 DSP 内核的中断功能相同,其中可屏蔽中断源的分配描述如表 1 所示. DSP 接收到可屏蔽中断信号,需要配置 DSP 核内部中断相关寄存器,满足相关条件,可屏蔽中断才能被处理.其中需要配置控制状态寄存器 CSR 使全局中断使能置 1;配置中断使能寄存器 IER,使 NMIE 置 1,并配置 IER 的相应中断使能位为 1;相应中断发生时,中断标志寄存器 IFR 相应中断位置 1,且 IFR 中没有更高优先级别的中断标志位为 1.另外 DSP 外设最多可以提供 32 种中断源,但 DSP 内 CPU 只能利用其中 12 个;因此当需要使用其他外设中断源时,需要通过中断选择控制寄存器 (MUXL 和 MUXH) 定义中断源与可屏蔽中断信号之间的映射关系.

表 1 DSP 内核可屏蔽中断源

中断选择码	中断	DSP 原中断	SOC 中 DSP 中断
00000b	DSPINT	主机口 DSP 中断	保留
00001b	TINT0	定时器 0 中断	定时器 0 中断
00010b	TINT1	定时器 1 中断	定时器 1 中断
00011b	SDINT	EMIF SDRAM 定时器中断	
00100b	GPINT4	GPIO 中断 4	GPIO 中断 4
00101b	GPINT5	GPIO 中断 5	GPIO 中断 5
00110b	GPINT6	GPIO 中断 6	GPIO 中断 6
00111b	GPINT7	GPIO 中断 7	GPIO 中断 7
01000b	EDMAINT	EDMA 传输结束中断	
01001b	保留	保留	
01010b	保留	保留	
01011b	保留	保留	
01100b	XINT0	McBSP0 传输中断	
01101b	RINT0	McBSP0 接收中断	
01110b	XINT1	McBSP1 传输中断	
01111b	RINT1	McBSP1 接收中断	
10000b	GPINT0	GPIO 中断 0	GPIO 中断 0
10001b	保留	保留	WDTINT
10010b	保留	保留	外设中断
10011b	保留	保留	核间中断
10100b	保留	保留	核间中断
10101b	保留	保留	核间中断
10110b	I2CINT0	I2C0 中断	
10111b	I2CINT1	I2C1 中断	
11000b	保留	保留	
11001b	保留	保留	
11010b	保留	保留	
11011b	保留	保留	
11100b	AXINT0	McASP0 发送中断	
11101b	ARINT0	McASP0 接收中断	
11110b	AXINT1	McASP1 发送中断	
11111b	ARINT1	McASP1 接收中断	

由表 1 可知 DSP 保留中断源有限,而 SOC 外设中断源事件比较多,为了不影响 DSP 原有中断事件的使用,因此对 SOC 中的中断源在 DSP 核内重新映射并使用 DSP 原保留中断源进行扩展.看门狗中断、27 路外设中断、核间通讯中断使用了被开放后的原保留中断号,其他中断信号采用直连方式送至 DSP 并保留 DSP 原中断方式.

3.2 中断扩展原理

多核 SOC 芯片内 DSP 的外部中断源主要包括 4 路非屏蔽中断 NMI0~3, 5 路 GPIO 中断源 GPIO0,GPIO4~7, 4 路看门狗中断 WDT0~3 以及 27 路外设中断源,其中外设中断源包括 8 路事件捕获 (CPI)、12 路 UART、2 路 CAN、4 路 SPI 和 1 路 PWM 中断.对 DSP 外部中断信号进行分配、整合以及控制,以确定各类外部中断与 4 个 DSP 核之间

的映射关系, DSP 核内的中断管理则由 DSP 自带的中断管理模块实现,各外部中断源与 DSP 内核之间的链接关系则由 SOC 外部中断扩展管理模块来进行控制. 具体结构如图 2 所示.

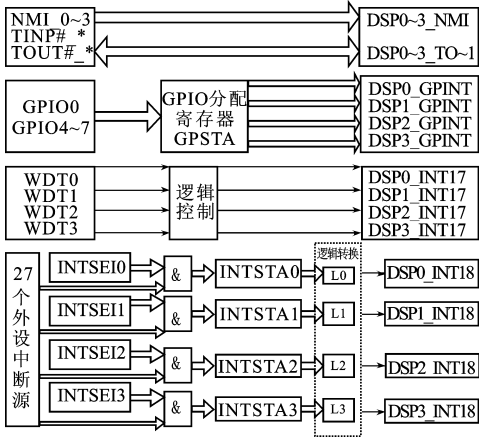


图 2 SOC 中断扩展设计框图

SOC 中断扩展对 DSP 的各类外部中断源进行分配,主要完成如下中断类型分配:(1)保留不可屏蔽中断,对应引脚分别为 NMI_0~3(分别对应 DSP0~3),采用直接连接方式;(2)保留 4 个 DSP 核内的定时器中断功能,对应引脚为 TINP#_* , TOUT#_*(#为 0~1,表示定时器 0 或 1,*为 0~3 表示内核 DSP0~3),采用直连方式连接;(3)保留 GPIO 引脚对应的外部中断 GPINT0,GPINT4~7,对应引脚为 GPIO0,GPIO4~7;通过 GPIO 分配寄存器(GPSTA)配置 GPIO 端口与内核 DSP0~3 的链接状态;(4)为每个 DSP 核配置 1 个 WDT 中断信号,对应使用 DSP 核保留中断号为 17(10001b);(5)为每个 DSP 核配置 1 个外设中断信号,对应 DSP 内核中断号为 18(10010b),中断源包括 PWM、SPI0~3、CAN0~1、UART0~11、CPI0~7;通过配置各自的外设中断配置寄存器(INTSEL0~3)来设置各 DSP 与各外部中断源的链接关系。(6)开放核间通讯中断,通过交叉连接方式实现 DSP 内核之间的数据交互,核间中断对应的内核中断号为 19~21.

图 2 中的 SOC 中断扩展管理模块中的逻辑转换的内部逻辑结构如图 3 所示.

3.3 外设中断控制设计

27 路低速 IP 外设中断使用一个 DSP 原保留中断号,因此需要对 27 路外设中断信号进行处理,并使多个 DSP 能够有序进行中断响应. 27 路外设中断源发出的中断信号通过外设中断扩展管理模块送

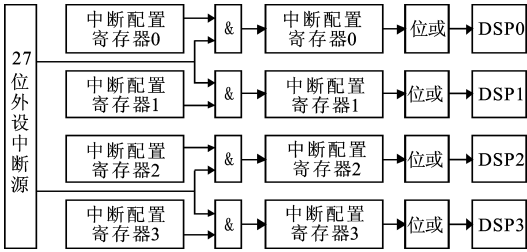


图 3 外设中断逻辑结构图

至 DSP 核. 4 个 DSP 核的外设管理设计相同,通过外设中断配置寄存器 INTSEL0~3 来控制 4 个 DSP 核与各路外设中断之间的响应关系;8 路事件捕获(CPI)、12 路 UART、2 路 CAN、4 路 SPI、1 路 PWM 即共 27 位外设中断分别由四个中断配置寄存器进行控制,功能如表 2 所示;中断配置寄存器 INTSEL0~3 中的各功能位分别控制 DSP0~3 是否开启接收对应的外设中断源,初始状态为 0,即禁止所有外设中断. 中断状态寄存器 INTSTA0~3 则分别表述相应的外设中断在请求 DSP0~3 的状态. 每个 DSP 均可响应所有的外部中断源,通过相关中断配置寄存器配置每个 DSP 核都控制外设中断情况,通过中断状态寄存器可以查询相应各 DSP 核的外部中断状态,查询外设中断情况. 每个 DSP 均可响应所有的 27 路外设中断,27 路外设中断源都使用 DSP 的一个保留中断号(INT18),由 INTSEL0~3 来控制选择各 DSP 核响应哪些外设中断源. 每一个 DSP 核可通过外设中断配置寄存器选择是否接收 27 路外设中断中的任一路中断信号. 中断配置寄存器 INTSEL0~3 和中断状态寄存器 INTSTA0~3 里面每位内容相同,其每位的功能如表 3 所示.

表 2 外设中断选择与状态寄存器

字节地址	名称缩写	寄存器名称
0X40006000	INTSEL0	外设中断配置寄存器(控制内核 DSP0~3 是否接收 27 路外设中断信号;1 表示相应外设中断使能;0 表示相应外设中断禁止;初值均为 0.)
0X40006004	INTSEL1	
0X40006008	INTSEL2	
0X4000600C	INTSEL3	
0X40006010	INTSTA0	外设中断状态寄存器(表述 27 路外设中断对内核 DSP0~3 的请求状态;1 表示存在相应外设中断请求;0 表示不存在相应外设中断请求;初值均为 0.)
0X40006014	INTSTA1	
0X40006018	INTSTA2	
0X4000601C	INTSTA3	

以 DSP0 核的单核的中断管理为例,对 27 路的外设中断控制进行简要说明,如图 4 所示. 中断配置寄存器 INTSEL0 相当于一个多路(27)开关器,控制每一路中断源对 DSP0 核的开启与关闭(配置为

表 3 外设中断位功能表

其他	保留	其他	保留	其他	保留	其他	保留
26	PWM	19	UART11	12	UART4	5	CPI5
25	SPI3	18	UART10	11	UART3	4	CPI4
24	SPI2	17	UART9	10	UART2	3	CPI3
23	SPI1	16	UART8	9	UART1	2	CPI2
22	SPI0	15	UART7	8	UART0	1	CPI1
21	CAN1	14	UART6	7	CPI7	0	CPI0
20	CAN0	13	UART5	6	CPI6		

0-关闭相应该中断,配置为 1-开启相应中断);中断状态寄存器 INTSTA0 则存储各路中断源对 DSP0 核的请求状态,最后通过逻辑转换电路 L0 实现外设中断请求的管理,并负责产生 DSP0 核的中断请求信号 INT_DSP0。逻辑转换电路主要是针对采用的 DSP 只能进行沿检测的中断触发极性.而外设来的中断大都是上升沿后保持为 1,或下降沿后保持为 0,当多个中断发生时,防止因 DSP 不能及时处理每个中断沿信号而出现中断响应错序或中断相应丢失情况,所以对外部中断信号进行逻辑转化电路设计.首先对寄存器 INTSTA0 进行位或操作产生中间信号 INT_s1,用于表示是否存在需要 DSP0 响应的中断源(有请求则为 1,否则为 0);同时由下降沿检测电路对寄存器 INTSTA0 的各个位进行下降沿逻辑检测,当 DSP0 执行了相应的中断服务程序后,相应的外设中断请求消失,逻辑检测电路检测到对应位的下降沿并使信号 INT_s2 产生一个负脉冲.最终信号 INT_s1 和 INT_s2 通过逻辑与操作产生 DSP0 核的外设中断请求信号 INT_DSP0,向 DSP0 请求外设中断(中断号为 18)。

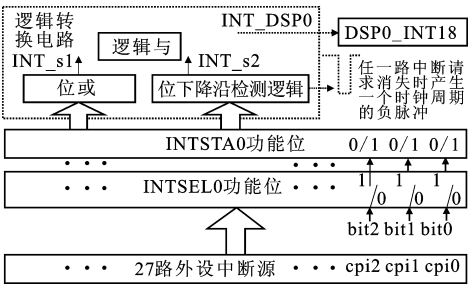


图 4 27 路外设中断扩展控制示意图(DSP0 核)

当需要对外设中断类型优先级排序时,需要对多个 DSP 核配置中断,使能多个 DSP 核接收不同路的外设中断源,并对每个 DSP 核的外设中断源映射到每个 DSP 核的 CPU 不同优先级的可屏蔽中断信号,实现 SOC 处理不同外设类型中断的优先级顺

序排列. DSP 接收到中断请求并相应后,进入中断服务程序,每个 DSP 核可查询对应的外设中断请求状态及处理相应的接收到的中断信号. 对于单核来说,送至 DSP 核 27 路外设中断源的中断信号, DSP 核则按发生中断信号的先后顺序执行中断响应。

4 仿真验证

通过 DSP 核与各外部中断源的协同仿真,对多核 SOC 的中断扩展管理模块进行仿真验证. 由于该多核 SOC 中断扩展模块是基于 DSP 内核中断管理设计实现的,故 SOC 芯片的中断仿真验证需由 DSP 内核程序(软件)和外部中断模块(硬件)协同完成. 首先对中断仿真采用的软件配置(DSP 内核)进行设置,将各外部中断源进行如下映射: GPINT4—INT4、WDT(17)—INT5、外设中断(18)—INT6、核间通信中断(19)—INT7、核间通信中断(20)—INT9、核间通信中断(21)—INT10、TINT0—INT14、TINT1—INT15;都为外部中断源与内核中断号的对应映射关系. DSP 中断相关寄存器设置为配置中断选择寄存器 MUXL,控制中断 INT4~9 的复用,设置 MUXLirq = 0x51134A24;配置中断选择寄存器 MUXH,控制中断 INT10~15 的复用设置, MUXHirq = 0x08200015;配置中断清除寄存器, ICR=IFR|0x0000C6F0;清除中断 INT4~7,INT9~10,INT14~15;配置中断使能寄存器 IER=IER|0x0000C6F3;并使能中断 INT4~7,INT9~10,INT14~15;配置状态控制寄存器 CSR = CSR|0x00000001;全局使能可屏蔽中断. 配置外设寄存器,产生相应的外设中断信号, DSP 中断服务程序中,对相应外设中断进行处理^[6]。

27 路外设中断源仿真结果分析如图 5 所示, DSP0 核控制和响应 27 路外设中断源,由于外设中断源较多这里只对每一类中断的部分中断源进行了仿真图示. int_dsp0 为送至 DSP0 核的外设中断情况即连接到 DSP0 的 INT18 脚的中断信号. SOC 中外设发生中断事件时会使相应外设中断信号^[7]变为高电平并保持直到 DSP 对外设中断源响应并在中断服务程序中进行处理后,外设中断源信号才会再次变为低电平. 其结果可看出 DSP0 顺序响应 PWM 中断、事件捕获的中断 evt_int0~7、uart9~11 中断、spi1~2 中断和 can0~1 中断. 仿真结果显示 SOC 中断扩展管理模块对 27 路外设中断进行了准确无误中断管理,没有出现遗漏和误请求的情况。

以 4 个 DSP 核联合 PWM 事件捕获模块仿真

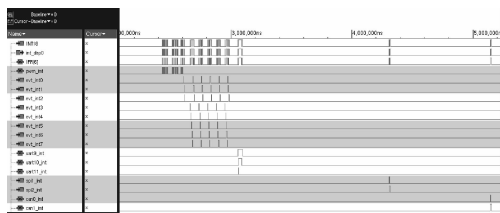


图5 27路外设请求DSP0核中断的仿真结果

SOC响应外设中断功能情况进行4个DSP核I响应外设中断的仿真分析,对PWM和事件捕获CPI模块请求SOC中的4核中断功能仿真验证.其他外设IP与四个DSP核之间的中断响应关系原理相同.每个DSP核配置相同的中断相关寄存器程序,配置的中断相关寄存器如下: $MUXLirq = 0x51134A24$; $MUXHirq = 0x00000015$; $ICR = IFR \mid 0x00000060$; $IER = IER \mid 0x00000063$; $CSR = CSR \mid 0x00000001$; 配置DSP的中断配置寄存器 $INTSEL0 \sim 3$ 寄存器. DSP0 程序中配置 $INT_SEL0, *(int *)0x40006000 = 0x00000030$; 即 DSP0 只响应事件捕获的 CPI4 和 CPI5 的中断信号即仿真波形中的 evt_int4 和 evt_int5 . DSP1 程序中配置 $INT_SEL1, *(int *)0x40006004 = 0x0000000C$; 即 DSP1 只开启响应事件捕获的 CPI2 和 CPI3 中断,即仿真波形中的 evt_int2 和 evt_int3 . DSP2 程序中配置 $INT_SEL2, *(int *)0x40006008 = 0x04000003$; 即 DSP2 响应 PWM 的中断 pwm_int 及事件捕获 CPI0 和 CPI1 的中断 evt_int0 和 evt_int1 . DSP3 程序中配置 $INT_SEL3, *(int *)0x4000600C = 0x000000C0$; 即 DSP3 只响应事件捕获的 CPI6 和 CPI7 中断信号 evt_int6 和 evt_int7 . 配置每个 DSP 核的中断服务程序,对相应的中断进行响应和处理. DSP 响应并处理相应的外设中断后,被处理过的外设中断信号变为低电平.仿真波形如图6所示.通过仿真波形可见,每个DSP都能及时准确地响应外设中断请求.

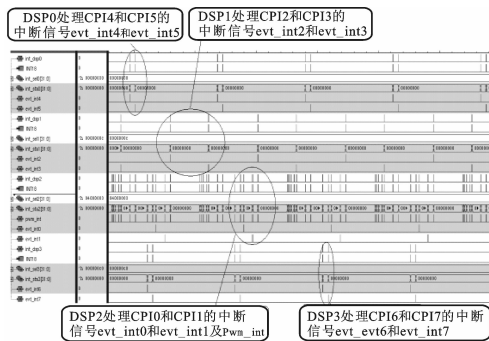


图6 四 DSP 核响应外设 PWM、事件捕获中断

5 测试结果

设计的多核 SOC 已采用 SMIC 0.13um 工艺进行流片,对流片后的 SOC 中的中断功能进行了测试,验证 SOC 内部中断扩展设计的正确性.通过 CCS3.3 界面编写 DSP 核指令代码和配置 SOC 中的外设中断相关寄存器和测试的 IP 模块的寄存器.同样以事件捕获的 8 路中断为例进行测试说明,其他 IP 中断测试原理相同.使 PWM 输出波形在测试 PCB 板上和 CPI 输入连接,配置 PWM 寄存器,产生 8 路 PWM 波,并配置事件捕获模块 CPI 寄存器和 DSP 内核中断相关寄存器, DSP 核指令程序和仿真中原理相同.为了便于测试 DSP 进入中断的次数和响应中断情况,配置的三路事件捕获分别捕获 PWM 波的上升沿、下降沿、双沿,发生捕获沿的同时设置事件捕获模块发出中断到 DSP 核,并且在中断服务程序中配置 GPIO11、GPIO12、GPIO13 发出方波波形,并对上升沿、下降沿、双沿事件进行计数,计满之后关闭,GPIO 不再发出波形.通过 SOC 中连接到多核 DSP 的 JTAG 接口进行四个 DSP 核调试响应中断情况.测试的多核调试的 CCS 界面及测试结果正确无误:

6 结束语

本文介绍了一种多核 SOC 系统的外部中断扩展设计,设计了基于多 DSP 控制的 SOC 片上系统的外设中断扩展电路,并进行了 SOC 中断功能的仿真验证.多核 SOC 芯片已成功流片,对 SOC 系统芯片中设计的外设中断扩展功能进行了测试.进一步测试了 DSP 对 SOC 外设中断源的响应和处理情况.结果表明设计的 SOC 中的中断扩展电路工作稳定、可靠;能够控制多 DSP 核 SOC 系统及时准确地处理 SOC 芯片外设中断请求, SOC 中断系统能够正常运行.

参考文献:

- [1] 常晓红,田琨.用可编程逻辑实现 SOC 的中断扩展[J].航天控制,2007,25(1):72-74.
- [2] 许新任,陈进.高性能 DSP 中断处理技术[J].计算机工程,2004,30(19):176-177.
- [3] 陈玉生. KeyStone 多核 DSP 中断系统原理及实现[J].电子世界,2015,36(13):23-25.
- [4] 舒生亮,孙永节,万江华. Matrix DSP 中断处理系统的设计与实现[J].计算机工程与设计,2012,34(1):65-68.

的例子来进行检验,如表 2 中的结果,可以明显的看出,利用该流程,能够将典型的计算密集型算法的运算速度提高 2~4 倍左右,而对于可重构平台,理论上能够实现的加速比在 10 倍左右,但这仅仅是理论数字,在实际处理的过程中,考虑到数据搬运的大量时间耗费,所得到的加速比已经几乎达到了手工配置算法得到的加速比.

表 2 可重构处理器与单核处理器的性能比较

算法名称	可重构处理器性能	单核处理器性能	加速比
IDCT	28 765	64 773	2. 25
FIR	188 394	429 866	2. 28
矩阵乘	3 489	10 864	3. 11

6 结束语

本文面向多层异构粗粒度可重构处理器,提出了一种全新的编译器后端架构. 该架构在 LLVM 编译器框架的基础上,添加和更改了四个关键步骤,使其能够适应处理器的多层异构特点. 创新性地提出了一种全新的数据结构 ConfigIR 以储存配置指令的相关信息,在这个基础上,指令依赖图的构建和指令调度均以 ConfigIR 为基本单位进行. ConfigIR 结构有效地隔离了可重构处理器硬件架构和编译器软件,使得二者的开发可以相互独立、互不干扰,提高了软硬件并行开发的效率. 针对若干计算密集型算法的测试表明,该编译器架构可以获得较理想的并行度和相对于串行计算较高的性能加速比. 值得注意的是,目前的编译器架构仅能支持循环和分支关系较简单的高度计算密集型程序运行,因此接下来的研究可朝进一步分析 IR 中的循环结构、分支关系方向继续努力,使得整套软硬件系统可以支持更多的不规则循环体程序和多分支结构程序.

参考文献:

[1] Zhu Min, Liu Leibo, Yin Shouyi, et al. A cycle-accurate simulator for a reconfigurable multi-media [J]. IEICE

Trans. on Inf. & Syst., 2010,93(12): 3202-3210.

[2] Cardoso João M P, Hübner Michael. Reconfigurable computing: from FPGAs to hardware/software code-sign[M]. Berlin, Springer, 2011.

[3] Yin Chongyong. Compiler framework for reconfigurable computing system[C]// ICCAS 2009. International Conference on. USA, California, IEEE, 2009.

[4] Stripf Timo. A compiler back-end for reconfigurable, mixed-ISA processors with clustered register files [C]// Parallel and distributed processing symposium workshops &. PhD forum (IPDPSW), 2012 IEEE 26th International. China, Shanghai, IEEE, 2012.

[5] Koenig R, Bauer L, Stripf T, et al. KAHRISMA: a novel hypermorphic reconfigurable instruction-set multi-grained-array architecture [C] // Design, Automation Test in Europe Conf. Exhibition (DATE). Gernary, 2010: 819-824.

[6] Lattner C, Adve V. LLVM: a compilation framework for lifelong program analysis & transformation[C]// Proc. of Int’l Symposium on Code Generation and Optimization. USA, San Jose, 2004.

[7] Mei B, Vernalde S, Verkest D, et al. Exploiting loop-level parallelism on coarse-grained reconfigurable architectures using modulo scheduling [J]. Computers and Digital Techniques, 2003,150(5):255-261.

作者简介:

刘毅超 男, (1990-), 硕士研究生. 研究方向为粗粒度可重构处理器的后端编译技术. E-mail: liuyc. 19@163. com.

赵仲元 男, (1990-), 博士研究生. 研究方向为可重构计算的编译架构.

绳伟光 男, (1977-), 硕士, 助理研究员. 研究方向为可重构计算系统及其编译技术、高可靠集成电路设计、VLSI 电子设计自动化.

何卫锋 男, (1976-), 副教授. 研究方向为视频信号处理的 VLSI 结构、低功耗可重构多核处理器、计算机体系结构、SoC 设计与系统集成.

(上接第 14 页)

[5] 吴灏, 肖吉阳, 范红旗, 等. TMS320C6678 多核 DSP 的核间通信方法[J]. 电子技术应用, 2012, 38(9): 11-13.

[6] 朱良辰, 胡越黎, 冉峰. 高速 Mcu 核中并行优先级中断系统的设计与实现 [J]. 微电子学, 2004, 34 (4): 483-485.

[7] 胡永华, 高明伦, 王锐. 微处理器中中断电路的高层设

计[J]. 微电子学与计算机, 2001, 18(4): 1-4.

作者简介:

张跃玲 女, (1986-), 硕士, 设计师. 研究方向为大规模 SOC 及数字集成电路设计.
E-mial: lynnzhanged@yeah. net.